

100MeV 强流回旋加速器射频数字低电平系统研制^{*}

殷治国¹⁾ 侯世刚 夏乐 张天爵 赵振鲁 王修龙 纪彬 李振国

(中国原子能科学研究院 北京 102413)

摘要 介绍了100MeV射频低电平控制系统的设计及其桌面实验的组成. 通过实测, 验证了他激模式下幅度控制环路和相位控制环路中实现数字式控制的可行性. 初步测试数据及调试过程均表明数字式控制可用于100MeV回旋加速器的射频低电平控制系统.

关键词 强流回旋加速器 射频系统 数字式控制

1 背景及概述

北京串列加速器升级工程, 包括研制一台流强为200 μ A, 能量为100MeV的强流负氢回旋加速器. 回旋

加速器的物理设计和工程设计要求射频加速系统所产生的加速电场的幅度稳定度好于0.5‰, 相位稳定度好于 $\pm 0.3^\circ$. 加速电场的频率应稳定于45MHz, 并在 ± 1 MHz内连续可调^[1, 2].

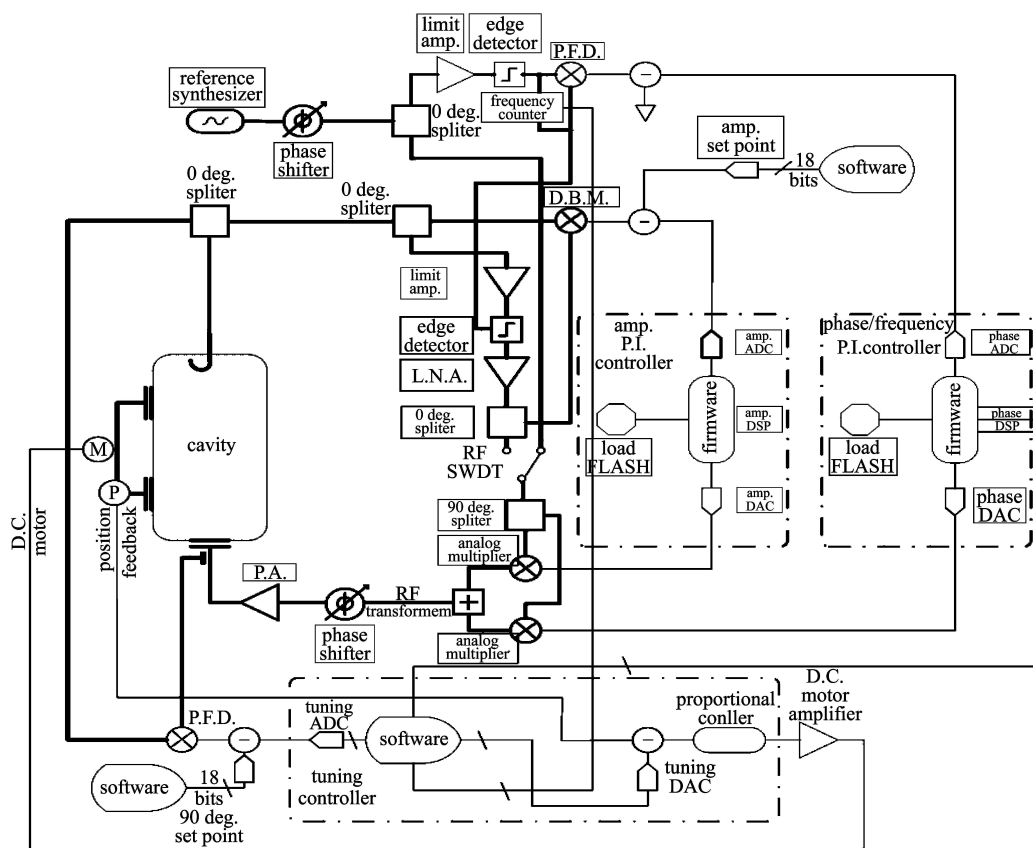


图1 100MeV强流回旋加速器低电平控制系统框图

2006-12-27 收稿

^{*} 国家自然科学基金(10125518)资助

1) E-mail: zhgyin@ciae.ac.cn

100MeV 强流回旋加速器的射频加速系统包括: 一台高稳定度频率连续可调的频率源、两台 100kW 射频功率源、两个独立谐振腔体和两套低电平控制系统。

每套低电平控制系统结构如图 1 所示。图中包括幅度控制环、相位控制环和频率控制环。低电平控制系统可工作在自激模式和他激模式下。当工作在自激模式下时, 位于射频环路中的射频开关选择由腔体反馈信号产生参考射频信号, 作为调制器的射频输入。

此时相位/频率环工作在锁相模式, 通过 PI(比例-积分)控制器对调制器的 Q 端进行调整, 使环路工作频率最终锁定于参考频率源的频率和相位^[3, 4]。当工作在他激模式时, 射频回路中的射频开关选择将参考信号源射频信号作为调制器输入。此时, 低电平控制系统工作频率与信号源频率相等, 幅度和相位分别由幅度环和相位环控制。

2 桌面试验

目前, 100MeV 回旋加速器射频低电平控制系统的桌面验证内容包括图 1 中他激模式下的幅度稳定环、相位稳定环以及必要的辅助线路。

桌面试验的组成框图如图 2 所示, 射频信号由信号源 HP E4421B 产生, 经低电平控制系统进行幅度和相位调制后进入手动衰减器和移相器。实验中可以通过衰减器以及移相器给入幅度和相位的扰动来验证系统工作情况。

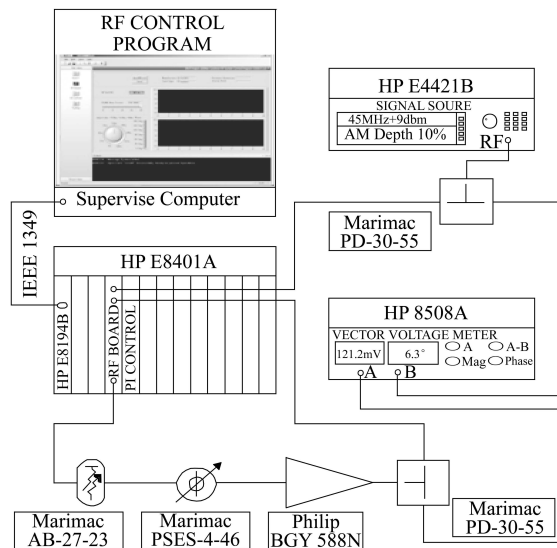


图 2 实验验证框图

桌面试验中选取放大器 BGY588N 代替以后的射频功率源, 射频信号经放大后通过两路 0° 功率分配器

后, 一路通过衰减器衰减作为射频模块的 Feedback 输入构成闭环, 另一路进入矢量电压表观测信号的幅度和相位。

控制计算机通过 IEEE 1394 与 VXI 零槽控制器相连接。零槽控制器通过 VXI 总线与射频控制卡和 PI 控制卡进行通讯。射频控制程序通过访问两个模块的接口寄存器进行系统的控制与调节, 包括设置幅度环 Setpoint DAC、解锁调制器、调整脉冲模式占空比、调节控制器比例积分常数等。

3 硬件开发

实验验证低电平控制系统包括的两块 C(340mm×250mm) 尺寸的 VXI 模块。其中一块为 RF 模块, 另一块为 PI 模块。两模块通过 VXI 背板的自定义局部总线相连接。其定义如表 1 所示。

表 1 模块间局部总线连接定义

针脚号	RF board	PI board
A00	Amp.Reg.L	Amp.Reg.L
A01	Ph.Reg.L	Ph.Reg.L
A02	Amp.Det.L	Amp.Det.L
A03	Ph.Det.L	Ph.Det.L
A05	SparkDetected	Pulse PI
A06	Tuning.R.L	Tuning.R.L
A11	Tuning.Det.L	Tuning.Det.L
C00	Amp.Reg.R	Amp.Reg.R
C01	Ph.Reg.R	Ph.Reg.R
C02	Amp.Det.R	Amp.Det.R
C03	Ph.Det.R	Ph.Det.R
C05	SparkDetected	Pulse PI
C06	Tuning.R.R	Tuning.R.R
C11	Tuning.Det.R	Tuning.Det.R

3.1 射频控制模块

射频控制模块如图 3 所示, 主要包括: 幅度鉴别器、相位鉴别器、矢量调制器以及一些周边辅助线路。射频控制模块的 VXI 总线接口将在后面与 PI 控制模块一起描述。

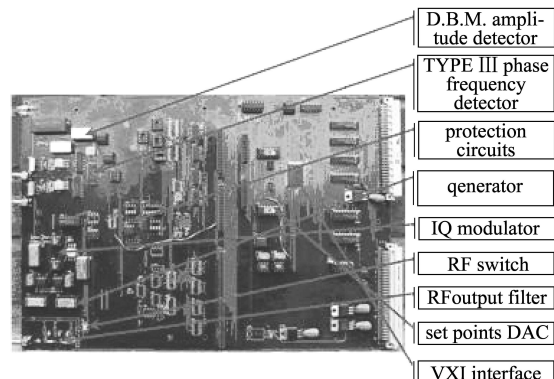


图 3 射频控制模块

幅度鉴别器: 幅度鉴别器包括双平衡混频器及辅助线路构成. 由混频方程

$$V_0 = \frac{1}{2} A \cdot B [\cos((\omega_1 + \omega_2)t + (\phi_1 + \phi_2)) - \cos((\omega_1 - \omega_2)t + (\phi_1 - \phi_2))] \quad (1)$$

可知, 当混频器的两个输入信号是相位和频率相同的正弦信号时, 其输出的 I.F. (中频) 信号的直流分量只与 R.F. (射频) 端和 L.O. (本振) 端输入信号的幅值乘积有关. 图 1 表示了对 RF 信号进行处理的过程, 其中由限幅放大器和施密特触发器构成的相位恢复线路主要用来确保混频器的输入是同相的. 这部分线路中, 相位噪音主要来自限幅放大器 AD8306. 当 AD8306 的输入从 -30dBm (分贝毫瓦) 到 $+6\text{dBm}$ 变化时, $\Delta\phi < \pm 1^\circ$ ^[8], 因此可认为 1dBm 的功率变化导致相位变化小于 0.1° , 所产生的额外噪声 $\frac{e(V_o)}{V_o} < -1.523 \times 10^{-6}$, 是可以接受的. 混频器的温度变化产生的噪声还需进一步研究. 考虑到 VXI 机箱通风设计较好, 我们认为温度噪声不是系统噪声的主要来源.

相位(频率)鉴别器: 数字鉴相器可分为 TYPE-I 及 TYPE-II 和 TYPE-III 鉴相器. 其中 TYPE-II 鉴相器为边沿触发的鉴相器, 适用于两路频率相同的射频信号的相位检测. 实验验证中使用了 ON 的 MCH12140D, 通过对 Lead 和 Lag 信号进行滤波后得出的直流分量进行差运算, 得到与输入正弦信号相位差成正比的模拟电平, 从而完成鉴相功能.

矢量调制器由三角函数产生器和模拟乘法器以及模拟加法器构成. PI 控制器产生的幅度、相位两路信号被分别送给三角函数产生器产生的 I 和 Q 控制矢量:

$$V_I = \text{Amp} \cdot \cos(\phi), \quad (2)$$

$$V_Q = \text{Amp} \cdot \sin(\phi). \quad (3)$$

由参考源产生的射频参考信号在通过正交功分器后会产生一组正交射频信号, 这组正交射频信号和 I, Q 控制矢量通过模拟乘法器分别相乘, 产生的信号进入模拟加法器相加后作为调制器输出. 上述处理过程可表示为如下公式:

$$V_o(t) = \text{Amp} \cdot \sin(\phi) \cdot \left[\frac{\sqrt{2}}{2} V_{\text{RF}} \sin(\omega t) \right] + \text{Amp} \cdot \cos(\phi) \cdot \left[\frac{\sqrt{2}}{2} V_{\text{RF}} \cos(\omega t) \right] = \frac{\text{Amp} \cdot V_{\text{RF}}}{\sqrt{2}} \cos(\omega t - \phi). \quad (4)$$

3.2 PI 控制模块

PI 控制模块包含三路基于摩托罗拉 DSP-56303 (数字信号处理器) 的数字 PI 控制器. 其中单独一路作为幅度控制器, 另外两路 PI 控制器由同一个 DSP 芯片完成, 作为相位环和频率环的控制器.

PI 控制器的核心为 DSP-56303, 该处理器可工作在最高 100MHz 频率下, 并提供主机接口 (HI08)、直接存储器访问控制 (DMA)、增强型同步串行接口 (ESSI)、串行通信接口 (SCI) 以及定时器等外设资源; ADC 采用 ADI 公司的 AD7674 模/数转换器, 该芯片具有 18 位分辨率, 能工作在最高 800kSPS (SPS 为每秒采样率) 的采样率下, 动态范围可达 103dB . 选取这一款芯片除了考虑到上述性能外, AD7674 还提供了内核与接口分别供电的结构, 使其可以很方便地与其他具有不同逻辑电平的器件一起工作而不需要电平转换芯片; DAC 采用了 ADI 公司的 AD7840, 分辨率为 14 位, 可直接和 DSP 相连; Flash 采用 Atmel 公司的 AT291v256 来作为引导器件. 系统的结构框图见图 4.

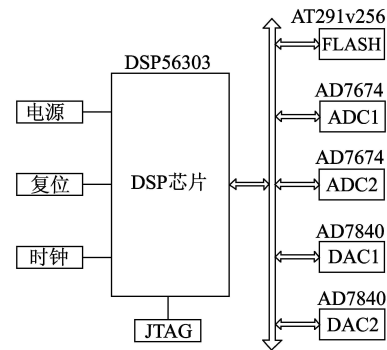


图 4 PI 控制模块硬件结构

3.3 VXI 总线接口

射频控制模块和 PI 控制模块均通过寄存器基的 A16, D16 的 VXI 总线接口与零槽控制器相连接. 接口线路使用一块 Xilinx FPGA (可编程现场门阵列) 实现对 VXI 地址总线的译码、VXI 数据总线宽度控制、VXI 总线数据传输时序逻辑. 同时在 FPGA 内部实现 VXI 标准配置寄存器, 实现总线规范规定的上电自检逻辑等. 目前, 两个模块的接口逻辑工作正常.

射频模块的接口 FPGA 还实现了基于寄存器的占空比可调整的脉冲序列输出. 结合射频控制模块调制器的控制功能, 实现了射频的脉冲启动逻辑, 以躲避腔体建立电压过程中的多电子效应^[5].

FPGA 通过 HI-08 (主机接口) 与两路 DSP-56303 进行通讯, 这样从控制计算机就可以完成系统运行时的开闭环控制、开环工作点设置、三路闭环工作的比

例、积分常数在线调整等功能。

4 软件开发

4.1 监视软件开发

100MeV 射频低电平控制系统软件 CY-CLLRF100 使用 VC++6.0 开发, 该软件使用了 NI Component Works++ 和 BCG Control Bar. CY-CLLRF100 通过 SICL 实现了对 VXI 寄存器基接口的访问. 与 DSP-56303 的 HI-08 接口通讯实现了安全的线程访问, 避免读写 DSP 寄存器顺序不同造成的数据传递错误. 同时, CYCLLRF100 可在系统闭环运行时调整 PI 参数, 达到系统运行的最优化^[6]. 网络通讯接口使用 EPICS 的 PCAS Server, 在局域网范围内提供了基于 Channel Access 的数据访问接口。

4.2 DSP 固件开发

模拟 PID 算法离散化可得差分方程^[7],

$$y(n) = y(n-2) + k_0 e(n) + k_1 e(n-1) + k_2 e(n-2), \quad (5)$$

其中

$$\begin{aligned} k_0 &= k_p + \frac{2k_d}{T} + \frac{k_i T}{2}, \\ k_1 &= k_i - \frac{4k_d}{T}, \\ k_2 &= \frac{k_i T}{2} + \frac{2k_d}{T} - k_p, \end{aligned}$$

式中 T 为采样间隔, k_p, k_i, k_d 为 PID (比例-微分-积分) 增益, y 为控制量输出, e 为误差输入. 在 DSP 中实现 PID 算法时, 将 $y(n-2), y(n), e(n), e(n-1), e(n-2)$ 放在 DSP 的 X 空间中, K_0, K_1, K_2 放在 Y 空间中, 可减少实现算法语句数量. DSP-56303 中的软件程序模块图见图 5.

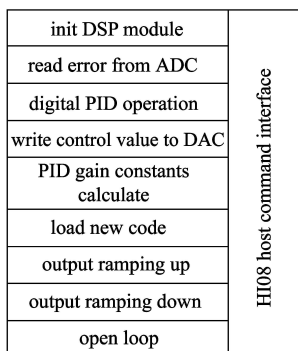


图 5 DSP-56303 程序模块图

5 试验结果

100MeV 射频低电平控制系统初步测试包括: 开环工作测试、闭环静态测试、闭环幅度环绕动测试和闭环相位环扰动测试。

幅度稳定度测量方式主要有直接测量和间接测量两种方式. 直接测量使用功率分配器和 50Ω 特性阻抗模拟示波器. 首先测量射频信号的幅度 V_{pp} , 然后转换至低量程档, 调整示波器垂直扫描位置读出扫描线不清晰的范围 ΔV_n , 幅度稳定度为: $\eta = \frac{2\Delta V_n}{V_{pp}}$. 间接测量为测量幅度鉴别器直流分量稳定性。

开环工作测试: 当激励源输入为 +9dBm 时, 系统输出射频信号的幅度 V_{pp} 为 0—1300mV 可调, 相位 $Phase$ 为 -180° — $+180^\circ$ 可调。

闭环静态测试: 闭环情况下, 设置激励源输出 +9dBm, 无调制, 系统闭环工作 1h 时 $\Delta V_{pp} < 1.2mV$, $\Delta Phase \leq \pm 0.1^\circ$ 。

闭环幅度扰动测试: 闭环幅度扰动测试分为两部分:

(1) 使用手动衰减器在环路中加入衰减, 以模拟放大器固定增益下降情况。

(2) 根据矢量调制器的射频输出幅度 $V_o(t) = \frac{Amp \cdot V_{Rf}}{\sqrt{2}} \cos(\omega t - \phi)$, 使用信号源加入 0.1%—15% 三角波的幅度调制, 可等效于在环路中加入幅度扰动, 以模拟外电变化造成的放大器增益变化。

闭环幅度扰动测试结果见表 2。

表 2 幅度扰动测试结果

测试类型	扰动大小	V_{pp}/V	$\Delta V_{pp}/mV$
1	-1dB	1.175	< 1.00
1	-3dB	1.175	< 1.00
1	-6dB	1.175	< 1.00
2	0.1%	1.175	1.20
2	5.1%	1.175	1.20
2	9.1%	1.175	2.15
2	15.1%	1.175	2.15

相位扰动测试: 使用电控移相器给入 $\pm 180^\circ$ 范围内的相移, 当相位信号稳定约 0.2s 后, 测试结果见表 3。

表 3 相位扰动测试结果

测试类型	扰动大小	$\Delta Phase$
3	$+45^\circ$	$\leq \pm 0.1^\circ$
3	-45°	$\leq \pm 0.1^\circ$
3	-10°	$\leq \pm 0.1^\circ$

长期稳定度测试: 系统在没有外界人为给出相位

和幅度扰动情况下, 稳定工作 1h 内幅度和相位随时间变化的趋势, 如图 6 所示.

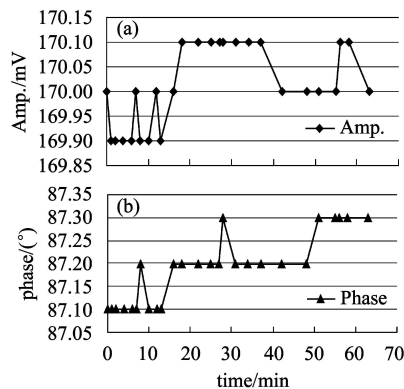


图 6 幅度和相位随时间的变化

6 结论

100MeV 强流回旋加速器射频低电平控制系统的

桌面实验包括了两个主要的控制闭环. 在桌面实验环境下, 该系统达到了相位环的设计指标. 幅度稳定环指标不理想的可能性如下: (1) 限幅放大器相位噪声过大, 导致检幅输出噪声增大. (2) 环路中没有高 Q 值腔体. (3) 控制器比例积分常数没有进行优化. 在以后的实验中将改进混频器 L.O. 信号的再生, 使用晶体滤波器或晶体振荡器模拟腔体, 调整优化比例积分常数, 进一步优化幅度环的设计, 以期取得满意的幅度环指标. 桌面实验为进一步开展 100MeV 射频低电平控制系统的详细设计做好了技术上和实验数据上的准备. 通过实验, 得出了数字式控制可用于 100MeV 回旋加速器射频低电平控制的结论.

衷心感谢加拿大 TRIUMF 国家实验室的 K.Fong 博士、方树尧教授和郑启文博士, 给予作者极大的支持和帮助.

参考文献(References)

- 1 ZHANG Tian-Jue et al. Cyclotron, 2004, **2004**: 3—5
- 2 WANG Xiu-Long et al. Cyclotron, 2004, **2004**: 2
- 3 Fong K et al. PAC02, 2002, **7**: 12
- 4 Laverty M, Fong K, Fang S. TRIUMF ISAC II RF Control System Design and Testing. EPAC04
- 5 Fong K, Fang S et al. Commissioning of the TRIUMF ISAC RF System. PAC01. 2001
- 6 Fong K, Laverty M, Fang S. RF Control System Upgrade at TRIUMF. EPAC94. 1994
- 7 FANG Shu-Yao. DSP 56001 Based Digital PID Controller, TRI-DN-93-16. June 1, 1993
- 8 ZHENG Qi-Wen. High Performance Limiting-Logarithmic Amplifier, TRI-DN-02-05. December 1, 2002

Design of a Digital LLRF Control System for the 100MeV High Intensity Cyclotron*

YIN Zhi-Guo¹⁾ HOU Shi-Gang XIA Le ZHANG Tian-Jue ZHAO Zhen-Lu
WANG Xiu-Long JI Bin LI Zhen-Guo

(China Institute of Atomic Energy, Beijing 102413, China)

Abstract The design of LLRF control system for the 100MeV cyclotron has been presented together with the desktop experiment and its result. In the experiment, the feasibility of the digital control is validated for amplitude and phase close loop operation in driven mode. The preliminary test result and development procedure show that the digital version of LLRF control is suitable for the RF system of the 100MeV cyclotron.

Key words high density cyclotron, RF system, digital control

Received 27 December 2006

* Supported by National Natural Science Foundation of China (10125518)

1) E-mail: zhgyin@ciae.ac.cn